

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

#3
S9
9/7/01

Docket No.: 49657-894

PATENT



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Hiroyuki KUZUMA, et al.

Serial No.: Group Art Unit:

Filed: February 02, 2001 Examiner:

For: BACK ANNOTATION APPARATUS FOR CARRYING OUT A SIMULATION
BASED ON THE EXTRACTION RESULT IN REGARD TO PARASITIC ELEMENTS

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Commissioner for Patents
Washington, DC 20231

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2000-226756,
filed July 27, 2000

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:dtb
Date: February 2, 2001
Facsimile: (202) 756-8087

日本特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

49657-894

Kuzuma, et al.

February 2, 2001

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日

Date of Application:

2000年 7月27日



出願番号

Application Number:

特願2000-226756

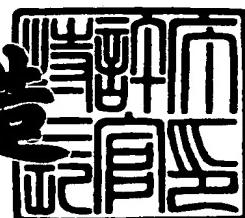
出願人

Applicant(s):

三菱電機株式会社

特許長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3070245

【書類名】 特許願
【整理番号】 524708JP01
【提出日】 平成12年 7月27日
【あて先】 特許庁長官殿
【国際特許分類】 G06F 17/50
G06F 11/26
G01R 31/28

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
【氏名】 葛間 弘行

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
【氏名】 山崎 晃穂

【特許出願人】

【識別番号】 000006013
【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100091409

【弁理士】

【氏名又は名称】 伊藤 英彦

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100096792

【弁理士】

【氏名又は名称】 森下 八郎

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 バックアノテーション装置およびその方法

【特許請求の範囲】

【請求項1】 論理回路に所定の信号を印加する際に、電位の変化するノードを検出するプレレイアウトシミュレーション実行部と、

前記論理回路のレイアウトパターンに対して所定のレイアウトパターン検証を実行するレイアウトパターン検証実行部と、

前記プレレイアウトシミュレーション実行部に接続され、前記電位の変化するノードより寄生素子を抽出する寄生素子抽出部と、

前記寄生素子抽出部に接続され、前記レイアウトパターンデータに含まれるすべてのデバイスおよび前記寄生素子抽出部で抽出された寄生素子を含むネットリストを生成するネットリスト生成部と、

前記ネットリスト生成部に接続され、前記ネットリストを用いてポストレイアウトシミュレーションを実行するポストレイアウトシミュレーション実行部などを含む、バックアノテーション装置。

【請求項2】 前記プレレイアウトシミュレーション実行部は、

前記論理回路に前記所定の信号を印加する際に、電位の変化するノードを検出するアクティブノード検出部と、

前記論理回路に前記所定の信号を印加する際に、電位の変化しないノードを検出するノンアクティブノード検出部とを含み、

前記ネットリスト生成部は、前記寄生素子抽出部および前記レイアウトパターン検証実行部に接続され、前記レイアウトパターンデータ内のアクティブノードに対する寄生素子と、前記アクティブノードに接続されたデバイスとを含むネットリストを生成する寄生素子付ネットリスト生成部を含み、

前記ポストレイアウトシミュレーション実行部は、前記ネットリスト生成部および前記ノンアクティブノード検出部に接続され、前記電位の変化しないノードの電位を所定の電位に固定し、前記ネットリストを用いてポストレイアウトシミュレーションを実行するための手段を含む、請求項1に記載のバックアノテーション装置。

【請求項3】 さらに、前記レイアウトパターン検証実行部に接続され、レイアウトパターン検証時に独自の基準で縮退された直列接続デバイスが並列に接続された、レイアウトパターンデータまたは論理回路図上のノードを抽出する内部ノード抽出部と、

前記内部ノード抽出部、前記アクティブノード検出部および前記ノンアクティブノード検出部に接続され、前記内部ノード抽出部での抽出結果に基づいて、前記アクティブノード検出部および前記ノンアクティブノード検出部の検出結果を更新するノード情報更新部とを含む、請求項2に記載のバックアノテーション装置。

【請求項4】 さらに、前記レイアウトパターン検証実行部に接続され、レイアウトパターン検証時に独自の基準で縮退された直列接続素子が单一素子化された、レイアウトパターンデータまたは論理回路図上のノードを抽出する内部ノード抽出部と、

前記内部ノード抽出部、前記アクティブノード検出部および前記ノンアクティブノード検出部に接続され、前記内部ノード抽出部での抽出結果に基づいて、前記アクティブノード検出部および前記ノンアクティブノード検出部の検出結果を更新するノード情報更新部とを含む、請求項2に記載のバックアノテーション装置。

【請求項5】 さらに、前記レイアウトパターン検証実行部に接続され、レイアウトパターン検証時に独自の基準で縮退された直列接続デバイスが並列に接続された、レイアウトパターンデータまたは論理回路図上のノードを抽出する第1の内部ノード抽出部と、

前記レイアウトパターン検証実行部に接続され、レイアウトパターン検証時に独自の基準で縮退された直列接続素子が单一素子化された、レイアウトパターンデータまたは論理回路図上のノードを抽出する第2の内部ノード抽出部と、

前記第1の内部ノード抽出部、前記第2の内部ノード抽出部、前記アクティブノード検出部および前記ノンアクティブノード検出部に接続され、前記第1および第2の内部ノード抽出部での抽出結果に基づいて、前記アクティブノード検出部および前記ノンアクティブノード検出部の検出結果を更新するノード情報更新

部ど、

前記寄生素子付ネットリスト生成部に接続され、前記ネットリストに含まれる寄生素子情報のみを縮退する寄生素子情報縮退部とを含む、請求項2に記載のバックアノテーション装置。

【請求項6】 論理回路に所定の信号を印加する際に、電位の変化するノードを検出するステップと、

前記論理回路のレイアウトパターンに対して所定のレイアウトパターン検証を実行するステップと、

前記電位の変化するノードより寄生素子を抽出するステップと、

前記レイアウトパターンデータに含まれるすべてのデバイスおよび前記寄生素子抽出部で抽出された寄生素子を含むネットリストを生成するステップと、

前記ネットリストを用いてポストレイアウトシミュレーションを実行するステップとを含む、バックアノテーション方法。

【請求項7】 検出する前記ステップは、

前記論理回路に前記所定の信号を印加する際に、電位の変化するノードを検出するステップと、

前記論理回路に前記所定の信号を印加する際に、電位の変化しないノードを検出するステップとを含み、

生成する前記ステップは、前記レイアウトパターンデータ内のアクティブノードに対する寄生素子と、前記アクティブノードに接続されたデバイスとを含むネットリストを生成するステップを含み、

実行する前記ステップは、前記電位の変化しないノードの電位を所定の電位に固定し、前記ネットリストを用いてポストレイアウトシミュレーションを実行するステップを含む、請求項6に記載のバックアノテーション方法。

【請求項8】 さらに、レイアウトパターン検証時に独自の基準で縮退された直列接続デバイスが並列に接続された、レイアウトパターンデータまたは論理回路図上のノードを抽出するステップと、

前記ノードの抽出結果に基づいて、前記電位の変化するノードおよび前記電位の変化しないノードに関する情報を更新するステップとを含む、請求項7に記載

のバックアノテーション方法。

【請求項9】 さらに、レイアウトパターン検証時に独自の基準で縮退された直列接続素子が单一素子化された、レイアウトパターンデータまたは論理回路図上のノードを抽出するステップと、

前記ノードの抽出結果に基づいて、前記電位の変化するノードおよび前記電位の変化しないノードに関する情報を更新するステップとを含む、請求項7に記載のバックアノテーション方法。

【請求項10】 さらに、レイアウトパターン検証時に独自の基準で縮退された直列接続デバイスが並列に接続された、レイアウトパターンデータまたは論理回路図上のノードを抽出するステップと、

レイアウトパターン検証時に独自の基準で縮退された直列接続素子が单一素子化された、レイアウトパターンデータまたは論理回路図上のノードを抽出するステップと、

前記ノードの抽出結果に基づいて、前記電位の変化するノードおよび前記電位の変化しないノードに関する情報を更新するステップと、

前記ネットリストに含まれる寄生素子情報のみを縮退するステップとを含む、請求項7に記載のバックアノテーション方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、バックアノテーション装置およびその方法に関し、特に、抽出された寄生素子の結果に基づいてシミュレーションを行なうバックアノテーション装置および方法に関する。

【0002】

【従来の技術】

プロセス技術の進歩および素子の高速化に伴なって、配線遅延を削減することが重要となってきた。そのために、いったんレイアウトを行ない、レイアウト終了後にそのレイアウトから配線遅延の原因となる寄生素子を抽出し、そのレイアウトの回路構成と上記寄生素子の情報を用いて回路シミュレーションを行なう。

これをバックアノテーションと呼ぶ。

【0003】

従来のバックアノテーションフローでは、対象となるレイアウトパターンデータ内に存在する全デバイスと指定したノードとの寄生素子情報を含む寄生素子付ネットリストを用いて、ポストレイアウトシミュレーションを実施していた。

【0004】

【発明が解決しようとする課題】

しかし、近年、半導体集積回路が大規模化するにともない、半導体集積回路の全デバイスを対象としてポストレイアウトシミュレーションを行なうには、寄生素子抽出および、ポストレイアウトシミュレーションに費やす実行時間が多大となり、現実的な時間での実行が困難な場合が多い。また、対象となるレイアウトパターンデータ内の寄生素子抽出の対象ノードを選定する作業も人手で行なわなければならず困難な上、抽出対象ノードの数が多くなればなるほどポストレイアウトシミュレーションが困難になるという問題がある。

【0005】

本発明は上述の課題を解決するためになされたものでその目的は、効率的にバックアノテーションを実行することが可能なバックアノテーション装置およびその方法を提供することである。

【0006】

【課題を解決するための手段】

本発明のある局面に従うバックアノテーション装置は、論理回路に所定の信号を印加する際に、電位の変化するノードを検出するプレレイアウトシミュレーション実行部と、論理回路のレイアウトパターンに対して所定のレイアウトパターン検証を実行するレイアウトパターン検証実行部と、プレレイアウトシミュレーション実行部に接続され、電位の変化するノードより寄生素子を抽出する寄生素子抽出部と、寄生素子抽出部に接続され、レイアウトパターンデータに含まれるすべてのデバイスおよび寄生素子抽出部で抽出された寄生素子を含むネットリストを生成するネットリスト生成部と、ネットリスト生成部に接続され、ネットリストを用いてポストレイアウトシミュレーションを実行するポストレイアウトシ

ミュレーション実行部とを含む。

【0007】

プレレイアウトシミュレーション結果を用いて、対象となるレイアウトパターンデータ内の寄生素子抽出対象ノードの選定を容易化する。それに伴い、寄生素子の抽出処理時間が短縮する。また、寄生素子の抽出結果を用いてポストレイアウトシミュレーションを実行するため、ポストレイアウトシミュレーションの処理時間を短縮し、効率的なバックアノテーションの実施が可能となる。

【0008】

好ましくは、プレレイアウトシミュレーション実行部は、論理回路に所定の信号を印加する際に、電位の変化するノードを検出するアクティブノード検出部と、論理回路に所定の信号を印加する際に、電位の変化しないノードを検出するノンアクティブノード検出部とを含む。ネットリスト生成部は、寄生素子抽出部およびレイアウトパターン検証実行部に接続され、レイアウトパターンデータ内のアクティブノードに対する寄生素子と、アクティブノードに接続されたデバイスとを含むネットリストを生成する寄生素子付ネットリスト生成部を含む。ポストレイアウトシミュレーション実行部は、ネットリスト生成部およびノンアクティブノード検出部に接続され、電位の変化しないノードの電位を所定の電位に固定し、ネットリストを用いてポストレイアウトシミュレーションを実行するための手段を含む。

【0009】

さらに好ましくは、バックアノテーション装置は、さらに、レイアウトパターン検証実行部に接続され、レイアウトパターン検証時に独自の基準で縮退された直列接続デバイスが並列に接続された、レイアウトパターンデータまたは論理回路図上のノードを抽出する第1の内部ノード抽出部と、レイアウトパターン検証実行部に接続され、レイアウトパターン検証時に独自の基準で縮退された直列接続素子が单一素子化された、レイアウトパターンデータまたは論理回路図上のノードを抽出する第2の内部ノード抽出部と、第1の内部ノード抽出部、第2の内部ノード抽出部、アクティブノード検出部およびノンアクティブノード検出部に接続され、第1および第2の内部ノード抽出部での抽出結果に基づいて、アクテ

イブノード検出部およびノンアクティブノード検出部の検出結果を更新するノード情報更新部と、寄生素子付ネットリストに接続され、ネットリストに含まれる寄生素子情報のみを縮退する寄生素子情報縮退部とを含む。

【0010】

プレレイアウトシミュレーション結果を用いたレイアウトパターンデータ内の寄生素子抽出対象ノード選定を容易化する。それとともに、ポストレイアウトシミュレーション対象回路の絞込みとレイアウトパターンデータに忠実な寄生素子抽出と抽出精度を維持したままの寄生素子情報の縮退化を実現できる。また、寄生素子抽出処理時間および上記寄生素子抽出結果を用いたポストレイアウトシミュレーション処理時間を短縮し、効率的なバックアノテーションの実施が可能になる。

【0011】

本発明の他の局面によるバックアノテーション方法は、論理回路に所定の信号を印加する際に、電位の変化するノードを検出するステップと、論理回路のレイアウトパターンに対して所定のレイアウトパターン検証を実行するステップと、電位の変化するノードより寄生素子を抽出するステップと、レイアウトパターンデータに含まれるすべてのデバイスおよび寄生素子抽出部で抽出された寄生素子を含むネットリストを生成するステップと、ネットリストを用いてポストレイアウトシミュレーションを実行するステップとを含む。

【0012】

プレレイアウトシミュレーション結果を用いて、対象となるレイアウトパターンデータ内の寄生素子抽出対象ノードの選定を容易化する。それに伴い、寄生素子の抽出処理時間が短縮する。また、寄生素子の抽出結果を用いてポストレイアウトシミュレーションを実行するため、ポストレイアウトシミュレーションの処理時間を短縮し、効率的なバックアノテーションの実施が可能となる。

【0013】

【発明の実施の形態】

【実施の形態1】

図1を参照して、バックアノテーション装置は、コンピュータ1と、コンピュ

ータ1に指示を与えるためのキーボード5およびマウス6と、コンピュータ1により演算された結果等を表示するためのディスプレイ2と、コンピュータ1が実行するプログラムをそれぞれ読取るための磁気テープ装置3、CD-ROM (Compact Disc-Read Only Memory) 装置7および通信モデム9とを含む。

【0014】

バックアノテーションフローのプログラムは、コンピュータ1で読取可能な記録媒体である磁気テープ4またはCD-ROM8に記録され、磁気テープ装置3およびCD-ROM装置7でそれぞれ読取られる。または、通信回線を介して通信モデム9で読取られる。

【0015】

図2を参照して、コンピュータ1は、磁気テープ装置3、CD-ROM装置7または通信モデム9を介して読取られたプログラムを実行するためのCPU (Central Processing Unit) 10と、コンピュータ1の動作に必要なその他のプログラムおよびデータを記憶するためのROM (Read Only Memory) 11と、プログラム、プログラム実行時のパラメータ、演算結果などを記憶するためのRAM (Random Access Memory) 12と、プログラムおよびデータなどを記憶するための磁気ディスク13とを含む。

【0016】

磁気テープ装置3、CD-ROM装置7または通信モデム9により読取られたプログラムは、CPU10で実行され、バックアノテーションフローが実行される。

【0017】

図3を参照して、本実施の形態にかかるバックアノテーションフローについて説明する。

【0018】

図4 (A) に示す論理回路図a1は、入力ノードBに接続された反転器42と、入力ノードAおよび反転器42の出力ノードCに接続されたNANDゲート44と、NANDゲート44の出力ノードDに接続された反転器46とを含む。

【0019】

論理回路図a1にプレレイアウトシミュレーションを実行し、シミュレーション実行時に電位の変化するノード（以下「アクティブノード」という）を抽出する（S1）。図4（B）は、図4（A）の論理回路図a1にプレレイアウトシミュレーションを実行した図である。

【0020】

図4（B）を参照して、入力ノードAに入力信号aa1、入力ノードBに入力信号aa2（0V）が入力された場合、プレレイアウトシミュレーション時に出入力ノードCは信号aa3（3.0V），入出力ノードDには出力信号aa4、出力ノードEには出力信号aa5がそれぞれ出力される。同時にプレレイアウトシミュレーション時に電位が変化するアクティブノードとしてノードA，D，EおよびFが抽出され、図4（C）に示すアクティブノード情報aa6が出力される。

【0021】

次に、図5（A）に示すレイアウトパターンデータa3に対して、従来と同様の方法に従いレイアウトパターン検証が実行される（S2）。

【0022】

S1のプレレイアウトシミュレーション時に抽出されたアクティブノード情報aa6に基づいて、レイアウトパターンデータa3より寄生素子が抽出され、レイアウトパターンデータa3のすべてのデバイスと抽出された寄生素子情報を含んだ寄生素子付ネットリスト（図5（B））が生成される（S3）。

【0023】

その後、S3で生成された寄生素子付ネットリストを用いてポストレイアウトシミュレーションが実施される（S4）。

【0024】

以上説明したように、実施の形態1によれば、プレレイアウトシミュレーション結果を用いて、レイアウトパターンデータ内の寄生素子抽出対象ノードの選定を容易化する。それに伴い、寄生素子の抽出処理時間が短縮する。また、寄生素子の抽出結果を用いてポストレイアウトシミュレーションを実行するため、ポストレイアウトシミュレーションの処理時間を短縮し、効率的なバックアノテーション

ヨンの実施が可能となる。

【実施の形態2】

本実施の形態によるバックアノテーション装置は、実施の形態1と同様のハードウェア構成を有する。このため、その説明はここでは繰返さない。

【0025】

図6を参照して、本実施の形態にかかるバックアノテーションフローについて説明する。

【0026】

図7（A）に示す論理回路図e1は、入力ノードBに接続された反転器52と、入力ノードAおよび反転器52の出力ノードCに接続されたNANDゲート54と、NANDゲート54の出力ノードDに接続された抵抗器56と、抵抗器56の出力ノードDの反対側に位置する入出力ノードGに接続された反転器58とを含む。

【0027】

図4（A）に示した論理回路図e1にプレレイアウトシミュレーションを実行し、アクティブノードおよびシミュレーション実行時に電位の変化しないノード（以下「ノンアクティブノード」という）を抽出する（S11）。

【0028】

図7（B）を参照して、入力ノードAに入力信号ea1、入力ノードBに入力信号ea2（0V）が入力された場合、プレレイアウトシミュレーション時に入出力ノードCには信号ea3（3.0V）、入出力ノードDには出力信号ea4、入出力ノードGには出力信号ea5、出力ノードEには出力信号ea6がそれぞれ出力される。同時にプレレイアウトシミュレーション実行時に電位が変化するアクティブノードとして、ノードA、D、E、FおよびGが抽出され、図7（C）に示すアクティブノード情報ea7が出力される。また、電位が変化しなかつたノンアクティブノードとして、ノードCとその固定電位（3.0V）とが抽出され、図7（D）に示すノンアクティブノード情報ea8として出力される（S11）。

【0029】

次に、図7（B）に示すレイアウトパターンに対して、従来と同様の方法に従いレイアウトパターン検証が実行される（S2）。

【0030】

プレレイアウトシミュレーション時に抽出されたアクティブノード／ノンアクティブノードに対応するレイアウトパターンデータ上のノードが、レイアウトパターン検証時に、独自の基準で縮退された直列接続デバイスが並列に接続されたもの（並列接続素子が单一の直列接続素子化されたもの等）の内部ノードの場合、その縮退されたレイアウトパターンデータ上の内部ノード全て（縮退前の内部ノード）を抽出する（S12）。

【0031】

また、S12では同時に、上記アクティブノード／ノンアクティブノードに対応する論理回路図データ上のノードが、レイアウトパターン検証時に、独自の基準で縮退された直列接続デバイスが並列に接続されたものの内部ノードの場合、論理回路図上の内部ノードに対するレイアウトパターンデータ上の内部ノードを抽出する。

【0032】

S12の処理をより詳細に説明すると、図8（A）を参照して、プレレイアウトシミュレーション時に抽出されたアクティブノード／ノンアクティブノードに対応するレイアウトパターンデータc1上のノードが、レイアウトパターン検証時に独自の基準で縮退された直列接続デバイスが並列接続されたものca2の内部ノードの場合、上記縮退されたレイアウトパターンデータc1上の内部ノードの全て（縮退前の内部ノードFおよび？1）を抽出する（図8（B））。

【0033】

また、図9（A）を参照して、プレレイアウトシミュレーション時に抽出されたアクティブノード／ノンアクティブノードに対応する論理回路図データ上のノードがレイアウトパターン検証時に、独自の基準で縮退された直列接続デバイスが並列接続されたものca16の内部ノードの場合、上記縮退された論理回路図データ上の内部ノードに対するレイアウトパターンデータ上の内部ノード？1を抽出する（図9（B））。

【0034】

S12の処理の後、プレレイアウトシミュレーション時に抽出されたアクティブノード／ノンアクティブノードに対応するレイアウトパターンデータ上のノードが、レイアウトパターン検証時に、独自の基準で縮退された直列接続デバイス（直列接続素子が单一素子化されたもの等）の内部ノードの場合、その縮退されたレイアウトパターンデータ上の内部ノード全て（縮退前の内部ノード）を抽出する（S13）。

【0035】

また、S13では同時に、上記アクティブノード／ノンアクティブノードに対応する論理回路図データ上のノードがレイアウトパターン検証時に、独自の基準で縮退された直列接続デバイスの内部ノードの場合、論理回路図上の内部ノードに対応するレイアウトパターンデータ上の内部ノードを抽出する。

【0036】

S13の処理をより詳細に説明すると、プレレイアウトシミュレーション時に抽出されたアクティブノード／ノンアクティブノードに対応する、レイアウトパターンデータが図10（A）に示されているものとする。図10（A）に示すレイアウトパターンデータd3上のノードが、レイアウトパターン検証時に、独自の基準で縮退された直列接続デバイスda9の内部ノードの場合、図10（B）を参照して、上記縮退されたレイアウトパターンデータ上の内部ノード（縮退前の内部ノード）D、?2およびGが抽出される。

【0037】

また、プレレイアウトシミュレーション時に抽出されたアクティブノード／ノンアクティブノードに対応する論理回路図データが図11に示されているものとする。図11に示す論理回路図データd7上のノードがレイアウトパターン検証時に、独自の基準で縮退された直列接続デバイスda21の内部ノードの場合、上記縮退された論理回路図データd7上の内部ノードDおよびGに対応するレイアウトパターンデータ上の内部ノードDが抽出される。

【0038】

S12およびS13の処理を総合すると、図12（A）に示すように内部ノー

D, ?2, G, Fおよび?1が抽出される。

【0039】

S12およびS13の処理により抽出された内部ノードに対する寄生素子付ネットリストを、寄生素子の抽出精度を維持したまま寄生素子情報のみを縮退した寄生素子付ネットリストに変換する(S14)。すなわち、図12(B)のアクティブノード情報e a 7に内部ノード?1および?2が追加され、アクティブノード情報e a 11が作成される。

【0040】

S2におけるレイアウトパターン検証の結果とS11のプレレイアウトシミュレーションで抽出されたアクティブノード情報を用いて、レイアウトパターンデータ内のアクティブノードに対するパス選択型寄生素子抽出と、上記アクティブノードに接続するデバイス部分(プレレイアウトシミュレーション時に回路動作した部分回路)のみの寄生素子付部分回路のネットリスト(図12(C))を生成する(S15)。

【0041】

図12(D)を参照して、S15の処理で作成された寄生素子付部分回路のネットリストに含まれる寄生素子情報のみを縮退したネットリストe 6を作成する(S16)。

【0042】

その後、S16で生成された寄生素子付ネットリストe 6を用いてポストレイアウトシミュレーションが実施される(S17)。ポストレイアウトシミュレーション実行時には、図7(D)に示すノンアクティブノード情報e a 8を用いて、ノードCの電位を3.0Vに固定する。

【0043】

以上説明したように、本実施の形態によれば、プレレイアウトシミュレーション結果を用いたレイアウトパターンデータ内の寄生素子抽出対象ノード選定を容易化する。それとともに、ポストレイアウトシミュレーション対象回路の絞込みとレイアウトパターンデータに忠実な寄生素子抽出と抽出精度を維持したままの寄生素子情報の縮退化を実現できる。また、寄生素子抽出処理時間および上記寄

生素子抽出結果を用いたポストレイアウトシミュレーション処理時間を短縮し、効率的なバックアノテーションの実施が可能になる。

【0044】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0045】

【発明の効果】

プレレイアウトシミュレーション結果を用いて、レイアウトパターンデータ内の寄生素子抽出対象ノードの選定を容易化する。それに伴い、寄生素子の抽出処理時間が短縮する。また、寄生素子の抽出結果を用いてポストレイアウトシミュレーションを実行するため、ポストレイアウトシミュレーションの処理時間を短縮し、効率的なバックアノテーションの実施が可能となる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1および2によるバックアノテーション装置の外観図である。

【図2】 本発明の実施の形態1および2によるバックアノテーション装置のハードウェア構成を示すブロック図である。

【図3】 実施の形態1によるバックアノテーション処理のフローチャートである。

【図4】 論理回路図にプレレイアウトシミュレーションを施した際のアクティブノード抽出方法を説明するための図である。

【図5】 レイアウトパターンデータより寄生素子を抽出した例を説明するための図である。

【図6】 実施の形態2によるバックアノテーション処理のフローチャートである。

【図7】 論理回路図にプレレイアウトシミュレーションを施した際のアクティブノード／ノンアクティブノード抽出方法を説明するための図である。

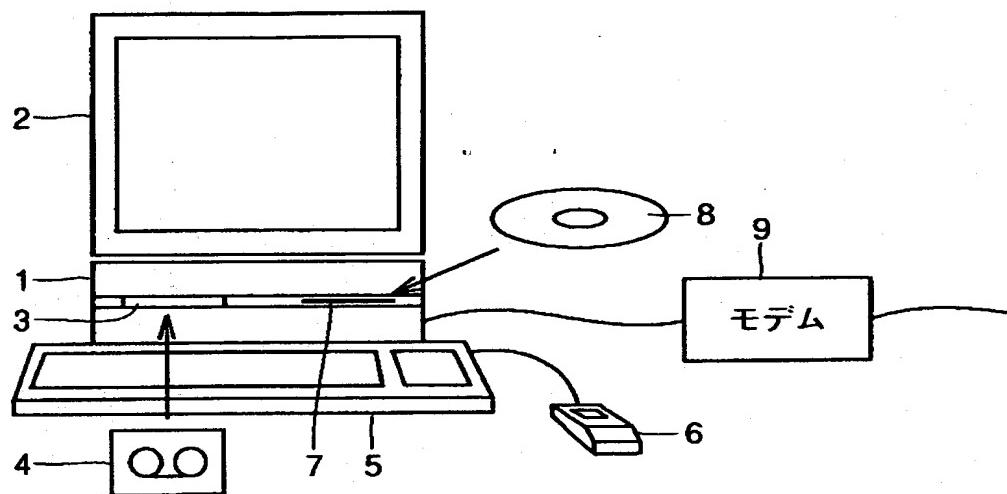
- 【図8】 図6のS12の処理をより詳細に説明するための図である。
- 【図9】 図6のS12の処理をより詳細に説明するための図である。
- 【図10】 図6のS13の処理をより詳細に説明するための図である。
- 【図11】 図6のS13の処理をより詳細に説明するための図である
- 【図12】 パス選択型寄生素子抽出例と寄生素子情報の縮退例とを説明するための図である。

【符号の説明】

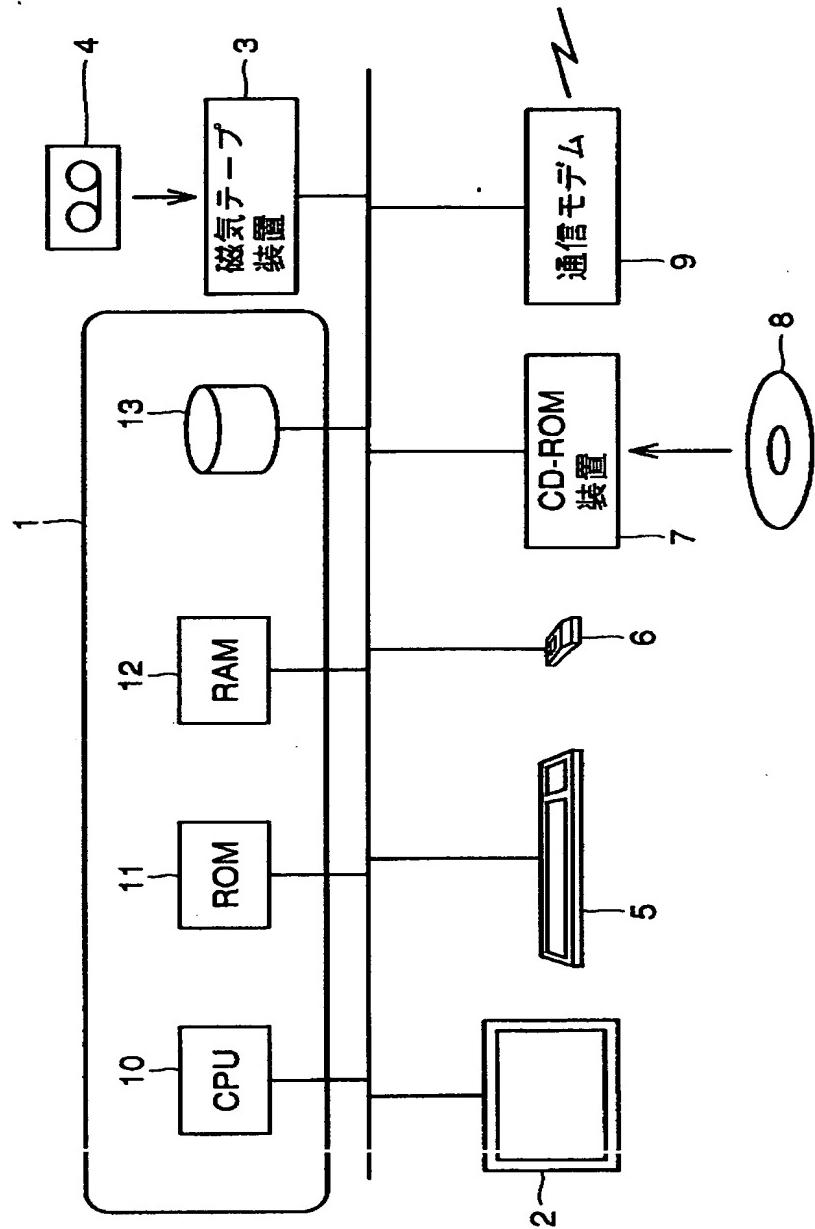
1 コンピュータ、2 ディスプレイ、3 磁気テープ装置、4 磁気テープ
、5 キーボード、6 マウス、7 CD-ROM装置、8 CD-ROM、9
通信モデム、10 CPU、11 ROM、12 RAM、13 磁気ディスク、42, 46, 52, 58 反転器、44, 54 NANDゲート、56 抵
抗器、a1, e1 論理回路図、a3, c1, d3 レイアウトパターンデータ
、aa1, aa2, ea1, ea2 入力信号、aa3, ea3 信号、aa4
, aa5, ea5, ea6 出力信号、aa6, ea11, ea7 アクティブ
ノード情報、d7 論理回路図データ、da21, da9 直列接続デバイス、
e6 ネットリスト、ea8 ノンアクティブノード情報。

【書類名】 図面

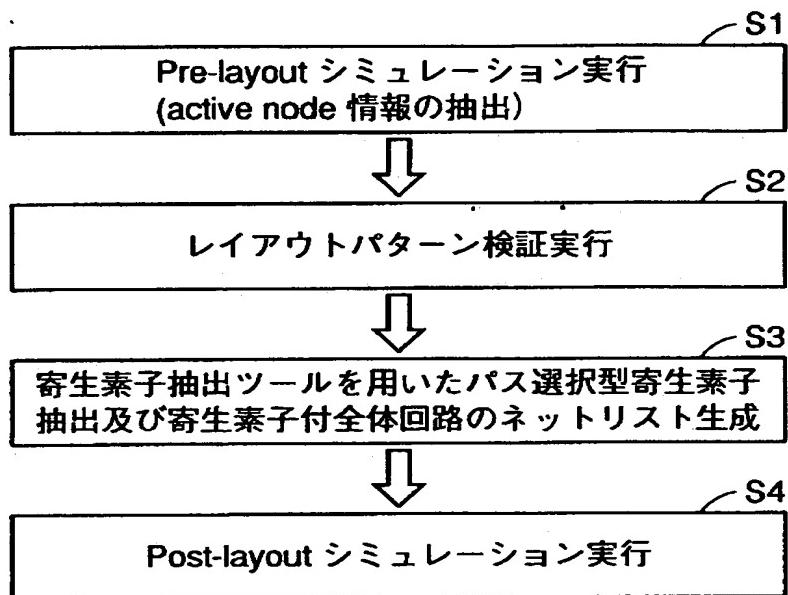
【図1】



【図2】

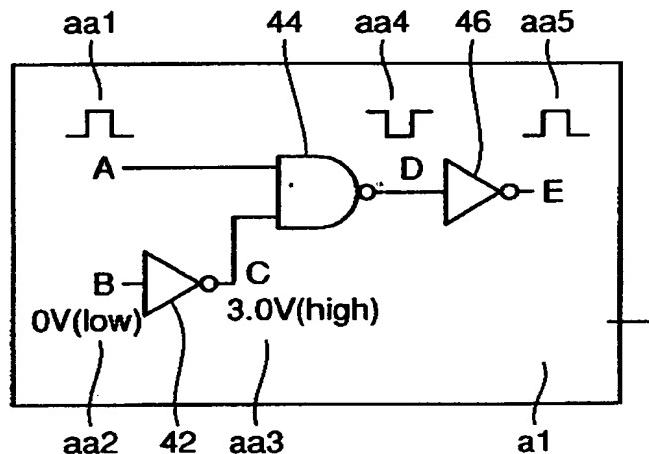


【図3】

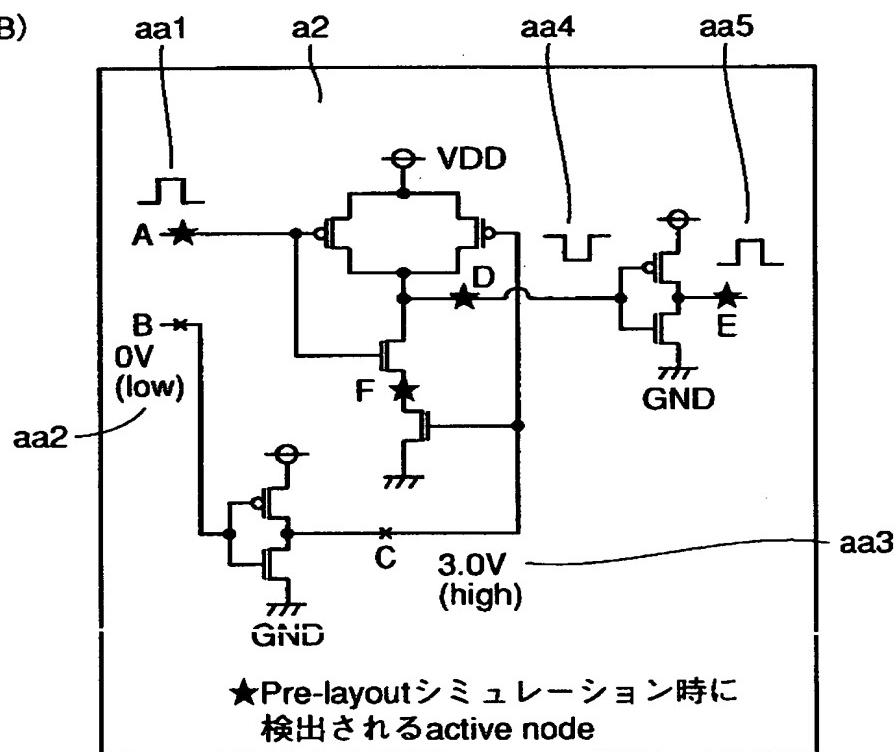


【図4】

(A)



(B)

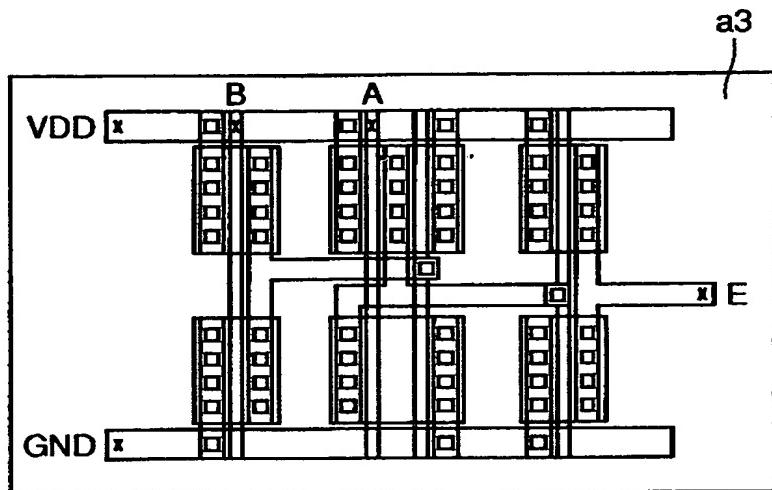


(C)

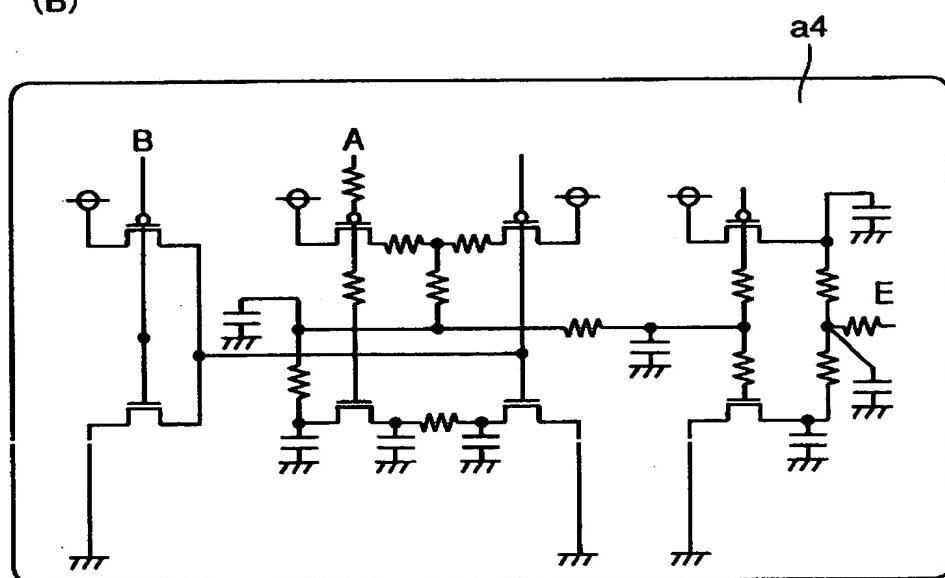


【図5】

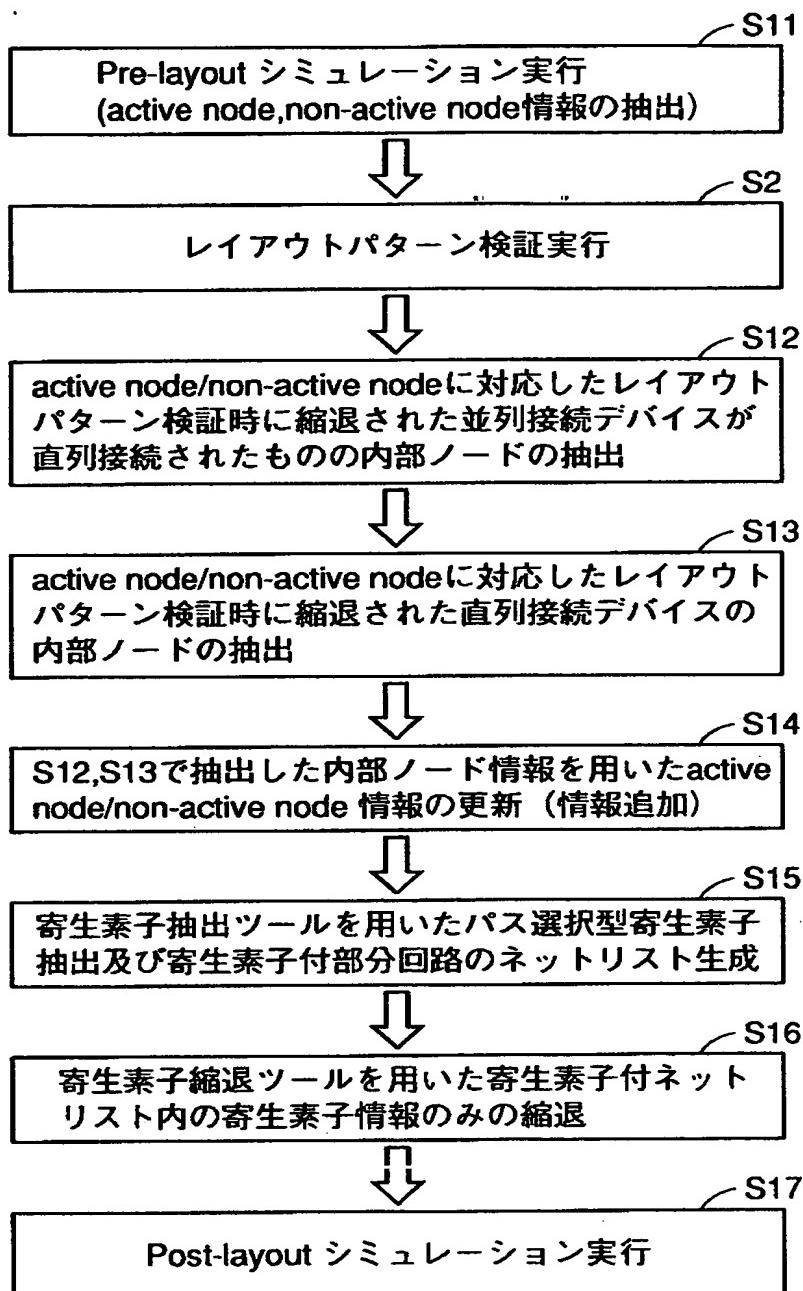
(A)



(B)

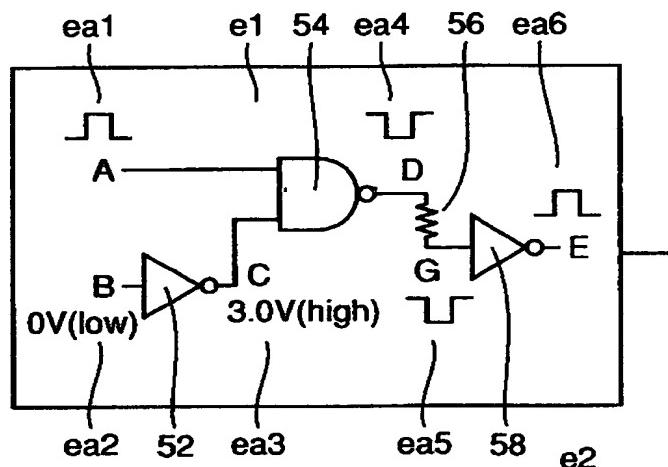


【図6】

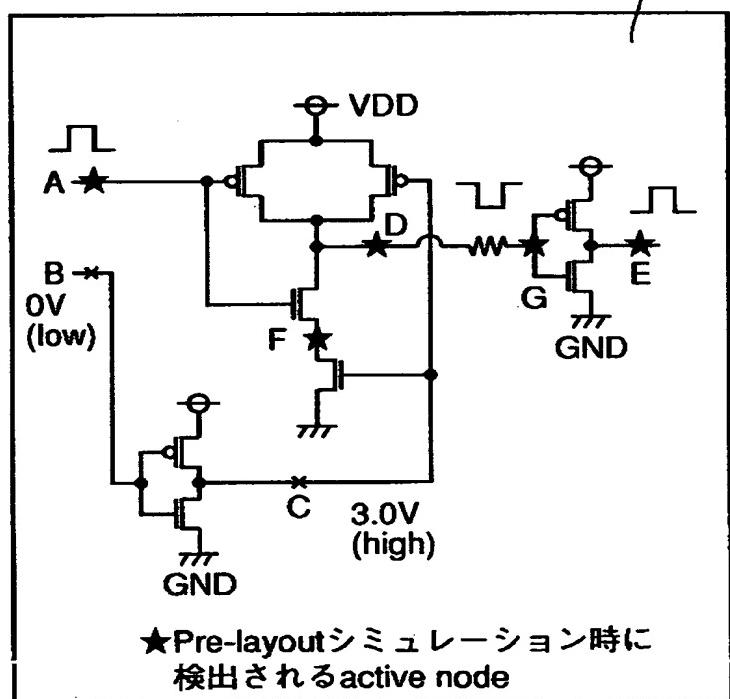


【図7】

(A)



(B)



(C)

(active node情報)

A,D,E,F,G ea7

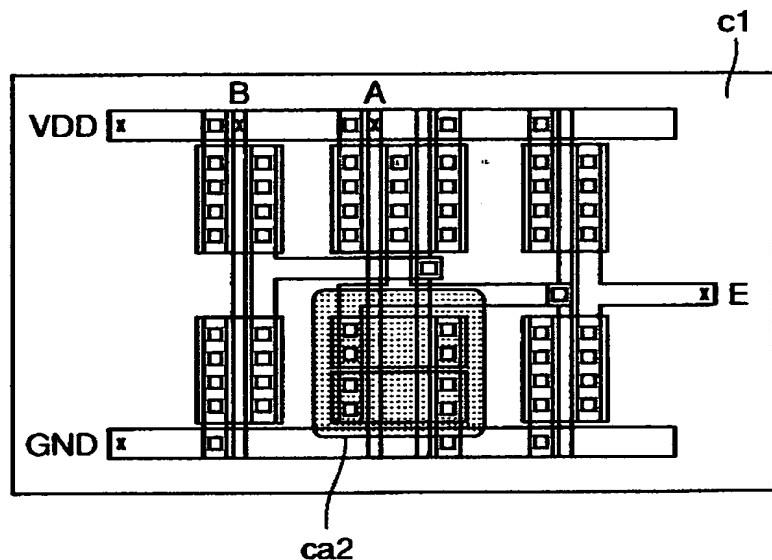
(D)

(Non-active node情報)

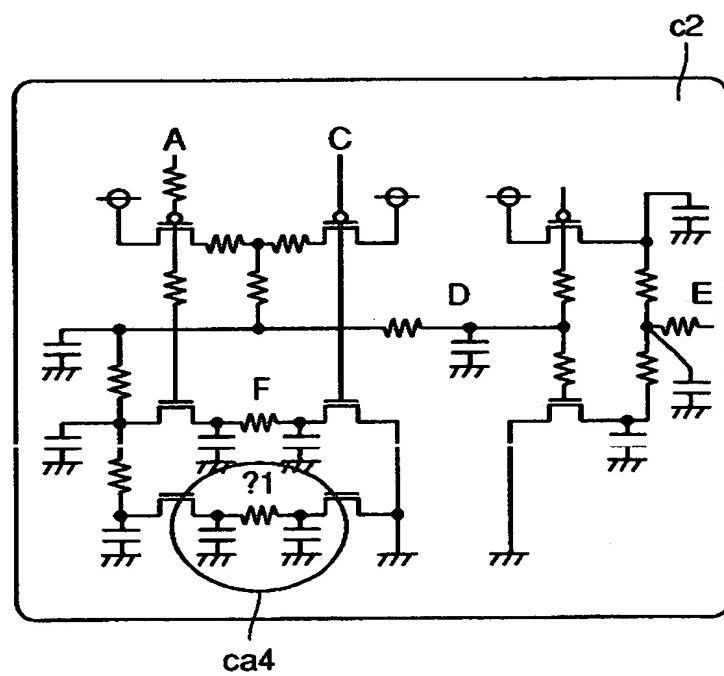
C 3.0V ea8

【図8】

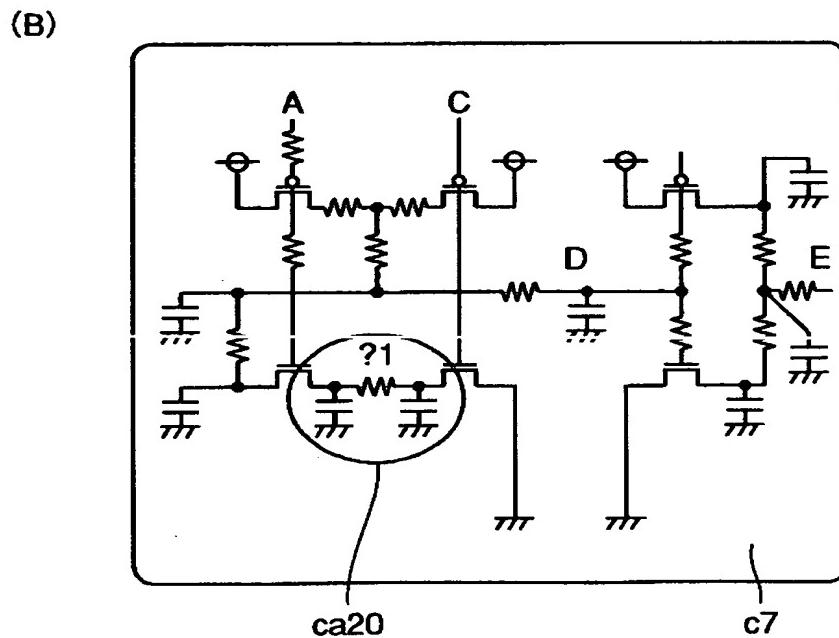
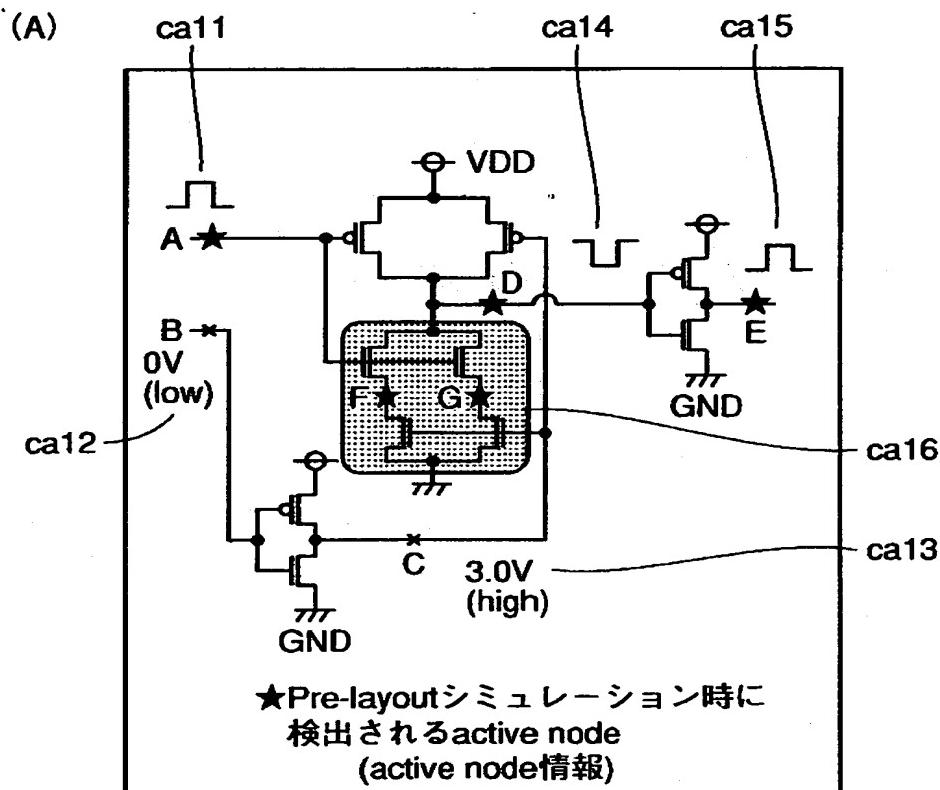
(A)



(B)

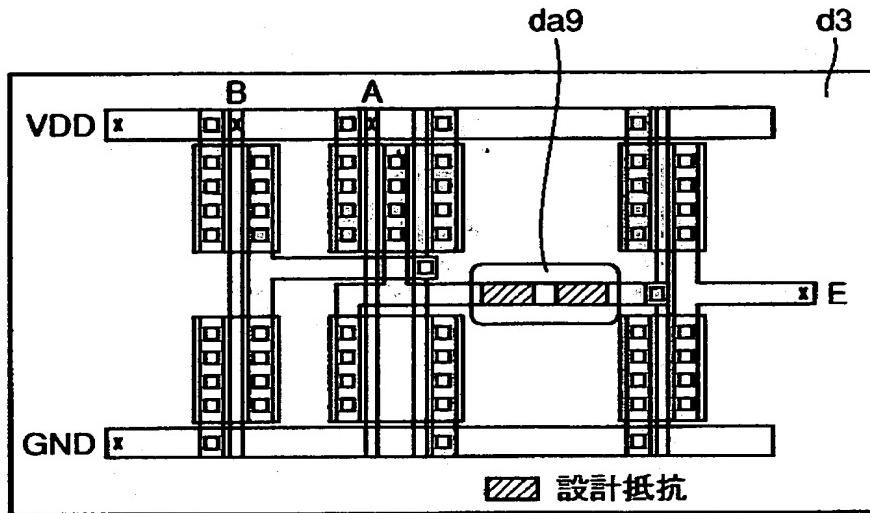


【図9】

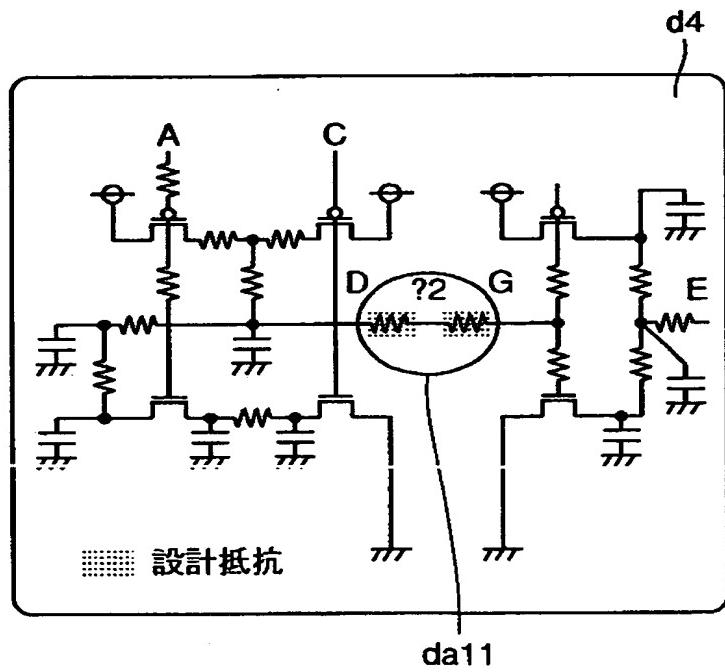


【図10】

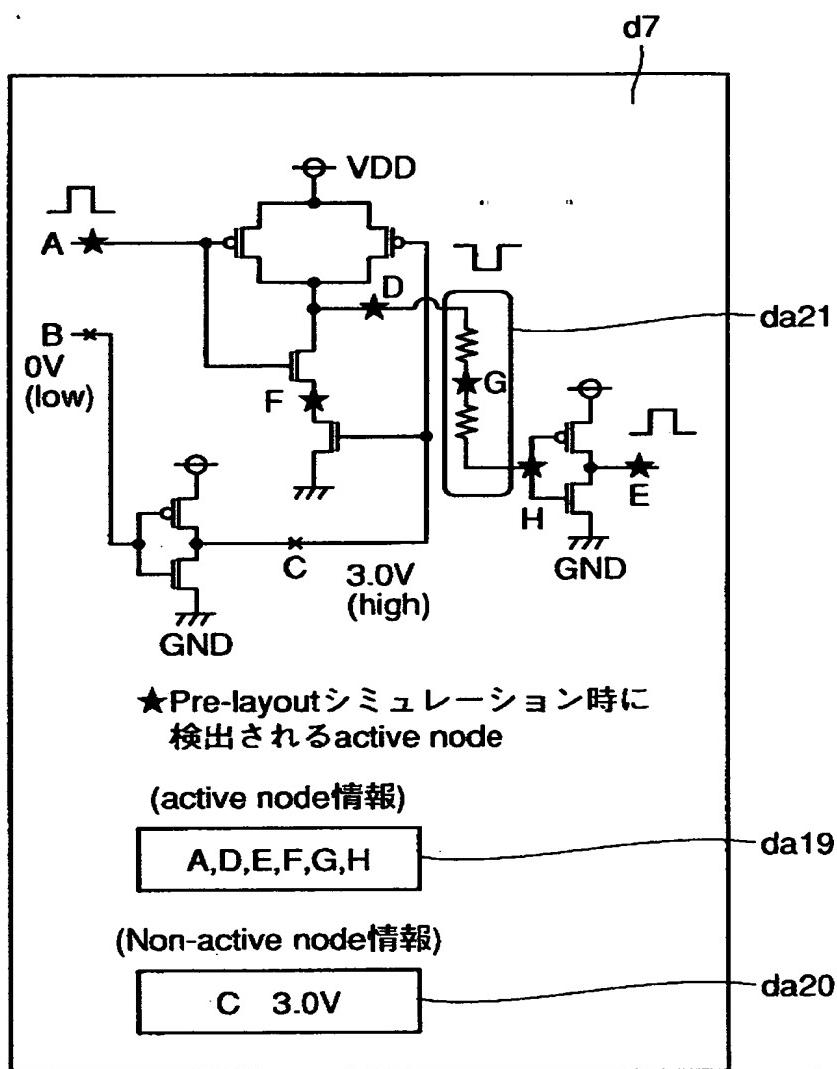
(A)



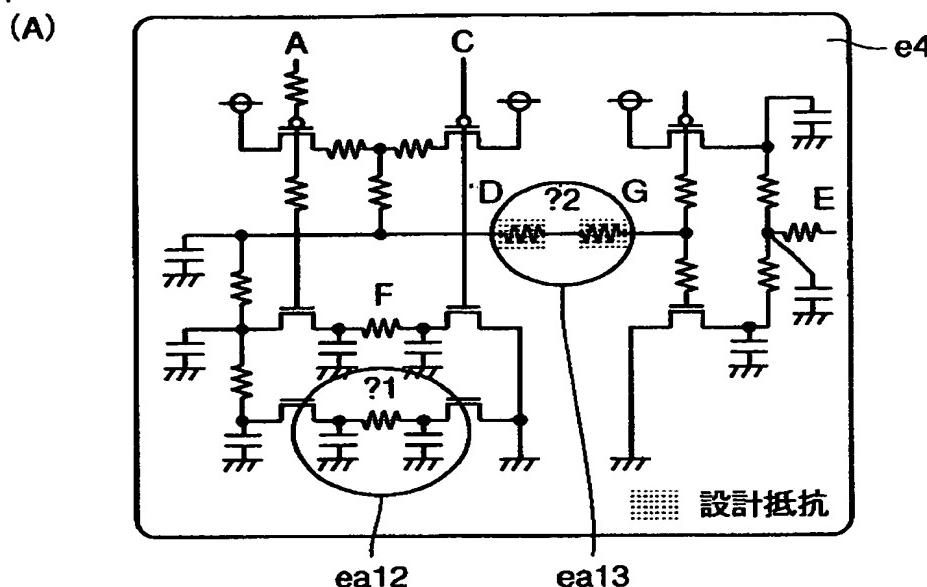
(B)



【図11】



【図12】



(B) (active node情報)
A,D,E,F,G ea7

(active node情報の追加)
A,D,E,F,G1,2 ea11

(C)

R1_1	A#2	A#3	2.0
R1_2	A#3	A#4	3.0
R1_3	A#4	A#5	1.0
R1_4	A#3	A#5	4.0
R1_5	A#5	A#6	1.0
C1_1	A#2	GND	0.1PF
C1_2	A#3	GND	0.2PF
C1_3	A#4	GND	0.2PF
C1_4	A#5	GND	0.2PF
C1_5	A#6	GND	0.1PF

e5

(D)

RAA1	A#2	A#6	5.0
CAA1	A#2	GND	0.4PF
CAA2	A#6	GND	0.4PF

e6

【書類名】 要約書

【要約】

【課題】 効率的にバックアノテーションを実行する。

【解決手段】 Pre-layoutシミュレーションを実行し、シミュレーション実行時に電位の変化したノード（アクティブノード）を抽出する（S1）。レイアウトパターンデータに対してレイアウトパターン検証を行なう（S2）。S1のPre-layoutシミュレーション時に抽出されたアクティブノード情報に基づいて、レイアウトパターンデータより寄生素子が抽出され、レイアウトパターンデータのすべてのデバイスと抽出された寄生素子情報を含んだ寄生素子付ネットリストが生成される（S3）。生成されたネットリストに基づいてPost-layoutシミュレーションが実行される（S4）。

【選択図】 図3

出願人履歴情報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社